

**19 BUNDESREPUBLIK  
DEUTSCHLAND**



**DEUTSCHES  
PATENT- UND  
MARKENAMT**

**Patentschrift**  
**DE 199 34 501 C 1**

Int. Cl.<sup>7</sup>:  
**G 11 C 11/407**

|             |  |                        |
|-------------|--|------------------------|
| <b>(21)</b> | <b>Aktenzeichen:</b>                                 | <b>199 34 501.5-53</b> |
| <b>(22)</b> | <b>Anmeldetag:</b>                                   | <b>22. 7. 1999</b>     |
| <b>(43)</b> | <b>Offenlegungstag:</b>                              | <b>–</b>               |
| <b>(45)</b> | <b>Veröffentlichungstag<br/>der Patenterteilung:</b> | <b>9. 11. 2000</b>     |

**DE 199 34 501 C 1**

**Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden**

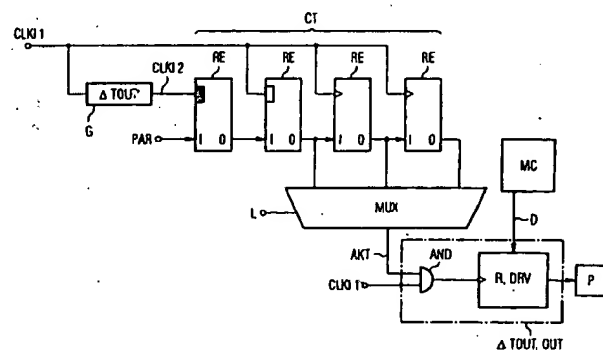
**Patentinhaber:**  
**Siemens AG, 80333 München, DE**

**(72) Erfinder:**  
Heyne, Patrick, 81541 München, DE; Hein, Thomas,  
81541 München, DE; Patsch, Torsten, 81539  
München, DE; Marx, Thilo, 80997 München, DE

**(56) Für die Beurteilung der Patentfähigkeit in Betracht  
gezogene Druckschriften:**  
US 57 96 673

### ⑤④ Synchroner integrierter Speicher

51 Eine Ausgabeschaltung (OUT) ist über einen Aktivierungseingang (AKT) aktivierbar, beginnt im aktivierten Zustand einen Ausgabevorgang für auszulesende Daten (D) synchron mit dem ersten internen Takt (CLKI1) und gibt die Daten (D) mit einer bestimmten Phasenverschiebung ( $\Delta T_{OUT}$ ) gegenüber dem ersten internen Takt (CLKI1), synchron mit dem externen Takt (CLKE), an einem Datenanschluß (P) aus. Eine Zählseinheit (CT) beginnt einen Zählvorgang zur Erfassung der Anzahl von aufeinanderfolgenden ersten Pegeln des ersten internen Takts (CLKI1), sobald während eines ersten Pegels eines Ausgabesteuersignals (PAR) ein zweiter interner Takt (CLKI2), der synchron mit dem externen Takt (CLKE) ist, erstmalig einen ersten Pegel annimmt. Sie aktiviert die Ausgabeschaltung (OUT), sobald die Anzahl der aufeinanderfolgenden ersten Pegel des ersten internen Takts (CLKI1) einen vorgegebenen Wert erreicht hat.



**DE 199 34 501 C 1**

Die Erfindung betrifft einen synchronen integrierten Speicher, der auszulesende Daten synchron mit einem externen Takt an einem Datenanschluß ausgibt.

Bei synchronen DRAMs (Dynamic Random Access Memories) ist es bekannt, innerhalb des Speichers aus dem externen Takt mittels einer Regelungseinheit in Form einer Delay-Locked-Loop (DLL) einen internen Takt zu erzeugen, der dem externen Takt vorausseilt und mit dem eine Ausgabeschaltung des Speichers angesteuert wird. Die Ausgabeschaltung gibt die Daten am Datenanschluß mit einer Phasenverschiebung gegenüber dem internen Takt aus, die der Phasenverschiebung zwischen dem internen Takt und dem externen Takt entspricht. Somit werden die Daten synchron mit dem externen Takt am Datenanschluß ausgegeben. Die Daten sollen dabei nach dem Anlegen eines externen Lesekommandos innerhalb einer bestimmten Anzahl von Taktzyklen des externen Takts am Datenanschluß vorliegen. Die vorbestimmte Anzahl von Taktzyklen wird auch als "Latency" bezeichnet.

Der Erfindung liegt die Aufgabe zugrunde, einen synchronen integrierten Speicher der genannten Art anzugeben, bei dem eine Ausgabe von auszulesenden Daten an einem Datenanschluß nach einer vorbestimmten Anzahl von Taktzyklen eines externen Taktes, nachdem ein Ausgabesteuersignal den Beginn eines Auslesevorgangs angezeigt hat, erfolgt.

Diese Aufgabe wird mit einem synchronen Speicher gemäß Anspruch 1 gelöst. Vorteilhafte Aus- und Weiterbildungen der Erfindung sind Gegenstand der abhängigen Ansprüche.

Der erfindungsgemäße Speicher weist eine Regelungseinheit zur Erzeugung eines ersten internen Takts auf, der dem externen Takt um eine bestimmte Phasenverschiebung vorausseilt. Ferner weist er eine Ausgabeschaltung auf, die über ein Aktivierungssignal aktivierbar ist, die im aktivierten Zustand einen Ausgabevorgang für die auszulesenden Daten synchron mit dem ersten internen Takt beginnt und die die Daten mit der bestimmten Phasenverschiebung gegenüber dem ersten internen Takt, also synchron mit dem externen Takt, am Datenanschluß ausgibt. Ferner weist er einen Taktgenerator zur Erzeugung eines zweiten internen Takts auf, der synchron mit dem externen Takt ist. Der Speicher hat außerdem eine Zählereinheit, die einen Zählvorgang zur Erfassung der Anzahl von aufeinanderfolgenden ersten Pegeln des ersten internen Takts beginnt, sobald während eines ersten Pegels eines Ausgabesteuersignals der zweite interne Takt erstmalig einen ersten Pegel annimmt, und die die Ausgabeschaltung über das Aktivierungssignal aktiviert, sobald die Anzahl der aufeinanderfolgenden ersten Pegel des ersten internen Takts einen vorgegebenen Wert erreicht hat.

Die Erfindung gewährleistet, daß die Daten am Datenanschluß um die vorgegebene Anzahl von Taktzyklen des externen Takts nach dem Auftreten des ersten Pegels des Ausgabesteuersignals ausgegeben werden, weil der erste interne Takt, dessen erste Pegel von der Zählereinheit gezählt werden, sich vom externen Takt nur um die bestimmte Phasenverschiebung unterscheidet.

Nach einer Weiterbildung der Erfindung wird der Zählereinheit ein veränderbares Steuersignal zugeführt, über das unterschiedliche vorgegebene Werte für die Anzahl der aufeinanderfolgenden ersten Pegel des ersten internen Takts einstellbar sind. Dies ermöglicht die Ausgabe von auszulesenden Daten mit einstellbarer Latency.

Nach einer Weiterbildung der Erfindung weist die Zählereinheit ein Schieberegister mit einer Reihenschaltung von Register-  
 60

elements der Reihenschaltung wird das Ausgabesteuersignal zugeführt.

Das erste Registerelement hat einen Takteingang, dem der zweite interne Takt zugeführt wird, und die übrigen Register-  
 5 Elemente haben Takteingänge, denen der erste interne Takt zugeführt wird. Ferner weist der Speicher einen Multiplexer auf, über den die Ausgänge wenigstens einiger der Register-  
 10 Elemente mit dem Aktivierungseingang der Ausgabeschaltung verbunden sind und dessen Schaltzustand über das Steuersignal einstellbar ist.

Da die Registerelemente des Schieberegisters synchron mit dem ersten internen Takt arbeiten, ist das dem Aktivierungseingang der Ausgabeschaltung zugeführte Ausgangssignal des Multiplexers ebenfalls synchron mit dem ersten  
 15 Takt, durch den auch der Ausgabevorgang für die auszulesenden Daten durch die Ausgabeschaltung gestartet wird. Daher erfolgt der Beginn des Ausgabevorgangs, der erst bei aktivierter Ausgabeschaltung möglich ist, unverzüglich synchron mit dem ersten internen Takt.

Nach einer Weiterbildung der Erfindung erzeugt der Taktgenerator den zweiten internen Takt mittels eines Verzögerungselementes aus dem ersten internen Takt. Dies ist problemlos möglich, da der erste interne Takt dem externen Takt um die bestimmte Phasenverschiebung vorausseilt.

Nach einer Weiterbildung der Erfindung weist die Regelungseinheit des Speichers einen Eingang auf, der mit dem externen Takt verbunden ist, und einen Ausgang, mit dem der Eingang über eine einstellbare Verzögerungseinheit verbunden ist und an dem sie den ersten internen Takt erzeugt.  
 25 Weiterhin weist die Regelungseinheit einen Phasenkomparator auf, mit einem ersten Eingang, der mit dem Eingang der Regelungseinheit verbunden ist, mit einem zweiten Eingang, mit dem der Ausgang der Regelungseinheit über das Verzögerungselement des Taktgenerators verbunden ist, und mit einem Ausgang, der mit einem Steuereingang der Verzögerungseinheit verbunden ist. Die Regelungseinheit dieser  
 30 Weiterbildung ist also eine Delay-Locked-Loop, in deren Rückkopplungsweig das Verzögerungselement angeordnet ist, das gleichzeitig zwei Funktionen erfüllt: Erstens die Einstellung der bestimmten Phasenverschiebung zwischen dem ersten internen Takt und dem externen Takt. Zweitens die Generierung des zweiten internen Takts aus dem ersten internen Takt. Wegen dieser Doppelfunktion des Verzögerungselementes kann der Speicher mit weniger Komponenten  
 35 realisiert werden, als wenn der Taktgenerator mit zusätzlich zu den Komponenten der Regelungseinheit vorhandenen Komponenten realisiert wäre.

Die Erfindung wird im folgenden anhand der Figuren näher erläutert. Es zeigen:

Fig. 1 eine Ausgabeschaltung und eine Zählereinheit eines Ausführungsbeispiels des synchronen Speichers,

Fig. 2 eine Regelungseinheit des synchronen Speichers und

Fig. 3 und 4 verschiedene beispielhafte Signalverläufe für das in den Fig. 1 und 2 dargestellte Ausführungsbeispiel.

Der hier beispielhaft dargestellte synchrone Speicher ist ein synchrone DRAM. Fig. 1 zeigt ein Speicherzellenfeld MC des Speichers, aus dem auszulesende Daten D über eine Ausgabeschaltung OUT an einen Datenanschluß P ausgegeben werden. Die Ausgabeschaltung weist nicht genauer dargestellte Register R und Treiber DRV auf. Außerdem weist sie ein UND-Gatter AND auf, dessen erster Eingang ein Takteingang für einen ersten internen Takt CLKI1 und dessen zweiter Eingang ein Aktivierungseingang AKT ist. In  
 55 Abhängigkeit des Ausgangssignals des UND-Gatters AND erfolgt die Ausgabe der auszulesenden Daten D durch die Ausgabeschaltung OUT. Dabei hat die Ausgabeschaltung OUT eine Verzögerung  $\Delta T_{OUT}$  zwischen dem Auftreten ei-

ner die Ausgabeschaltung aktivierenden positiven Flanke des ersten internen Taktes CLKI1 am ersten Eingang des UND-Gatters AND bei gleichzeitigem hohem Pegel am Aktivierungseingang AKT und dem Zeitpunkt, zu dem ein auszuwendendes Datum D am Datenanschluß P anliegt.

Der Speicher weist gemäß Fig. 1 eine Zählseinheit CT auf, die ein Schieberegister mit Registerelementen RE umfaßt. Beispielhaft sind vier Registerelemente RE vorhanden, wobei deren Anzahl bei anderen Ausführungsbeispielen der Erfindung auch andere Werte annehmen kann.

Ein Eingang I jedes Registerelements RE ist mit einem Ausgang O des vorhergehenden Registerelements verbunden. Der Eingang I des ersten Registerelements RE der Reihenschaltung ist mit einem internen Ausgabesteuersignal PAR verbunden, das aus einem externen Lesekommando, das dem Speicher zugeführt wird, abgeleitet ist. Jedes Registerelement RE weist einen Takteingang auf, wobei der Takteingang des ersten Registerelements negativ pegelsensitiv ist, der Takteingang des zweiten Registerelements positiv pegelsensitiv ist und die Takteingänge der übrigen Registerelemente positiv flankensensitiv sind. Dem Takteingang des ersten Registerelements RE wird ein zweites internes Taktsignal CLKI2 zugeführt, das synchron mit einem externen Takt CLKE ist, der dem Speicher zugeführt wird. Der Takteingang des ersten Registerelements RE reagiert auf negative Pegel des zweiten internen Takts CLKI2. Den Takteingängen der übrigen Registerelemente RE wird der erste interne Takt CLKI1 zugeführt.

Der Speicher weist gemäß Fig. 1 weiterhin einen Taktgenerator G auf, der den zweiten internen Takt CLKI2 aus dem ersten internen Takt CLKI1 erzeugt. Dies geschieht mittels eines Verzögerungselements, das eine Verzögerungszeit  $\Delta TOUT$  hat, die möglichst exakt mit der Verzögerungszeit  $\Delta TOUT$  der Ausgabeschaltung übereinstimmt.

Die Ausgänge O der Registerelemente RE, mit Ausnahme des ersten Registerelements, sind über einen Multiplexer MUX mit dem zweiten Eingang des UND-Gatters AND verbunden. Über ein Steuersignal L, das dem Multiplexer MUX zugeführt wird, ist auswählbar, mit dem Ausgang welches Registerelements der Aktivierungseingang AKT der Ausgabeschaltung OUT leitend verbunden wird.

Fig. 2 zeigt eine Regelungseinheit des erfindungsgemäßen Speichers in Form einer Delay-Locked-Loop (DLL), mit der der erste interne Takt CLKI1 aus dem externen Takt CLKE erzeugt wird. Die Regelungseinheit CTR weist einen Eingang auf, dem der externe Takt CLKE, verzögert um eine Eingangsverzögerung  $\Delta TIN$ , die durch entsprechende Eingangsschaltungen 1 des Speichers verursacht wird, als dritter interner Takt CLKI3 zugeführt wird. Der Eingang der Regelungseinheit CTR ist über eine einstellbare Verzögerungseinheit DEL mit ihrem Ausgang verbunden, an dem sie den ersten internen Takt CLKI1 erzeugt. Weiterhin weist die Regelungseinheit CTR einen Phasenkomparator  $\phi$  auf, dessen erster Eingang mit dem Eingang der Regelungseinheit CTR verbunden ist und der einen zweiten Eingang aufweist, mit dem der Ausgang der Regelungseinheit CTR über zwei Verzögerungselemente 10, 11 verbunden ist. Das erste Verzögerungselement 10 weist eine Verzögerungszeit  $\Delta TOUT$  auf, die möglichst exakt mit der Verzögerungszeit  $\Delta TOUT$  der Ausgabeschaltung OUT aus Fig. 1 übereinstimmt. Das zweite Verzögerungselement 11 weist eine Verzögerungszeit  $\Delta TIN$  auf, die möglichst exakt mit der Verzögerungszeit  $\Delta TIN$  der Eingabeschaltung 1 übereinstimmt. Ein Regelausgang C des Phasenkomparators  $\phi$  ist mit einem Steuereingang der einstellbaren Verzögerungseinheit DEL verbunden, über den deren Verzögerungszeit eingestellt wird.

Der von der Regelungseinheit CTR in Fig. 2 erzeugte er-

ste interne Takt CLKI1 eilt dem dritten internen Takt CLKI3 um die Summe der Verzögerungszeiten  $\Delta TOUT$ ,  $\Delta TIN$  der Verzögerungselemente 10, 11 vor. Da die Verzögerungszeit  $\Delta TIN$  des zweiten Verzögerungselements 11 der Verzögerungszeit  $\Delta TIN$  der Eingabeschaltung 1 entspricht, eilt der erste interne Takt CLKI1 daher dem externen Takt CLKE um die Verzögerungszeit  $\Delta TOUT$  des ersten Verzögerungselements 10 voraus.

Fig. 2 ist, angedeutet durch den gestrichelten Pfeil, ein weiteres Ausführungsbeispiel der Erfindung zu entnehmen, bei dem als zweiter interner Takt CLKI2 das Ausgangssignal des ersten Verzögerungselements 10 verwendet wird. In diesem Fall ist das erste Verzögerungselement 10 Bestandteil des Taktgenerators G und mit dem in Fig. 1 gezeigten Verzögerungselement identisch. Bei dem hier betrachteten Ausführungsbeispiel ist das Verzögerungselement des Taktgenerators G in Fig. 1 jedoch zusätzlich zum ersten Verzögerungselement 10 der Regelungseinheit CTR vorhanden.

Da der zweite interne Takt CLKI2 aus dem ersten internen Takt CLKI1 durch den Taktgenerator G mit einer positiven Phasenverschiebung von  $\Delta TOUT$  erzeugt wird, ist er synchron mit dem externen Takt CLKE. Dabei bedeutet "synchron", daß die beiden Takte zueinander praktisch keine Phasenverschiebung aufweisen.

Die Fig. 3 und 4 zeigen unterschiedliche Beispiele für Signalverläufe des externen Takts CLKE, des Ausgabesteuersignals PAR, der internen Takte CLKI1, CLKI2, CLKI3 sowie der am Datenanschluß P ausgegebenen Daten. Die Fig. 3 und 4 zeigen Signalverläufe für unterschiedliche Frequenzen der Taktsignale bei konstanter Verzögerungszeit  $\Delta TOUT$  der Ausgabeschaltung OUT. Die Maßstäbe der Fig. 3 und 4 sind daher unterschiedlich. Zu erkennen ist, daß der zweite interne Takt CLKI2 synchron mit dem externen Takt CLKE ist und der erste interne Takt CLKI1 dem externen Takt CLKE um die Verzögerungszeit  $\Delta TOUT$  der Ausgabeschaltung OUT vorausseilt. Das Ausgabesteuersignal PAR ist synchron mit dem dritten Taktsignal CLKI3 am Eingang der Regelungseinheit CTR aus Fig. 2.

Für die in den Figuren 3 und 4 dargestellten Signalverläufe wird der Multiplexer MUX aus Fig. 1 über das Steuersignal L so angesteuert, daß er den Ausgang O des vorletzten Registerelements RE mit dem Aktivierungseingang AKT der Ausgabeschaltung OUT verbindet. Das bedeutet, daß der Speicher eine Latency von 2 aufweist. Dies kann am besten anhand der letzten Zeile der Fig. 3 und 4 erläutert werden: Nach dem Auftreten eines dem Speicher zugeführten externen Lesekommandos CMD müssen genau zwei Taktperioden des externen Takts CLKE folgen, bis die auszugebenden Daten tatsächlich am Datenanschluß P anliegen. Dies ist durch die mit den Ziffern 1 und 2 bezeichneten Doppelpfeile in den Fig. 3 und 4 angedeutet.

Die in Fig. 1 gezeigte Zählseinheit CT sorgt für das Einhalten der Latency auf folgende Weise: Sobald das aus dem externen Lesekommando CMD abgeleitete Ausgabesteuersignal PAR mit einem hohen Pegel aktiv wird, beginnt sie einen Zählvorgang sobald der zweite interne Takt CLKI2 einen negativen Pegel hat. Zuvor sind alle Inhalte der Registerelemente RE auf Null gesetzt worden. Anschließend wird die somit vom ersten Registerelement RE gespeicherte Eins des Ausgabesteuersignals PAR vom zweiten Registerelement RE übernommen, sobald der erste interne Takt CLKI1 einen hohen Pegel aufweist. Die nachfolgenden Registerelemente RE übernehmen diese Eins jeweils mit einer nachfolgenden positiven Flanke des ersten internen Takts CLKI1.

Die Zählseinheit CT aus Fig. 1 zählt also, sobald das Ausgabesteuersignal PAR einen positiven Pegel annimmt und sofern der zweite interne Takt CLKI2 einen niedrigen Pegel

hat, die nachfolgenden positiven Pegel des ersten internen Takts CLKI1. Dabei ist das Ausgangssignal der Zähleinheit CT synchron mit dem ersten internen Takt CLKI1, da die Registerelemente RE mit diesem getaktet werden.

#### Patentansprüche

1. Synchroner integrierter Speicher,
  - mit einer Regelungseinheit (CTR) zur Erzeugung eines ersten internen Takts (CLKI1), der dem externen Takt (CLKE) um eine bestimmte Phasenverschiebung ( $\Delta$ TOUT) vorausseilt,
  - mit einer Ausgabeschaltung (OUT),
  - die über einen Aktivierungseingang (AKT) aktivierbar ist,
  - die im aktivierten Zustand einen Ausgabevorgang für die auszulesenden Daten (D) synchron mit dem ersten internen Takt (CLKI1) beginnt
  - und die die Daten (D) mit der bestimmten Phasenverschiebung ( $\Delta$ TOUT) gegenüber dem ersten internen Takt (CLKI1), also synchron mit dem externen Takt (CLKE), am Datenanschluß (P) ausgibt,
  - mit einem Taktgenerator (G) für einen zweiten internen Takt (CLKI2), der synchron mit dem externen Takt (CLKE) ist,
  - mit einer Zähleinheit (CT),
  - die einen Zählvorgang zur Erfassung der Anzahl von aufeinander folgenden ersten Pegeln des ersten internen Takts (CLKI1) beginnt, sobald während eines ersten Pegels eines Ausgabesteuersignals (PAR) der zweite interne Takt (CLKI2) erstmalig einen ersten Pegel annimmt,
  - und die die Ausgabeschaltung (OUT) über ihren Aktivierungseingang (AKT) aktiviert, sobald die Anzahl der aufeinander folgenden ersten Pegel des ersten internen Takts (CLKI1) einen vorgegebenen Wert erreicht hat.
2. Integrierter synchroner Speicher nach Anspruch 1, dessen Zähleinheit (CT) ein veränderbares Steuersignal (L) zugeführt wird, über das unterschiedliche vorgegebene Werte für die Anzahl der aufeinander folgenden ersten Pegel des ersten internen Takts (CLKI1) einstellbar sind.
3. Integrierter synchroner Speicher nach Anspruch 2,
  - dessen Zähleinheit (CT) ein Schieberegister mit einer Reihenschaltung von Registerelementen (RE) aufweist,
  - bei dem einem Eingang des ersten Registerelements (RE) der Reihenschaltung das Ausgabesteuersignal (PAR) zugeführt wird,
  - dessen erstes Registerelement (RE) durch den zweiten internen Takt (CLKI2) getaktet wird und dessen übrige Registerelemente (RE) in Abhängigkeit vom ersten internen Takt (CLKI1) getaktet werden,
  - mit einem Multiplexer (MUX), über den die Ausgänge wenigstens einiger der Registerelemente (RE) mit dem Aktivierungseingang der Ausgabeschaltung (OUT) verbunden sind und dessen Schaltzustand über das Steuersignal (L) einstellbar ist.
4. Integrierter synchroner Speicher nach einem der vorstehenden Ansprüche, dessen Taktgenerator (G) den zweiten internen Takt (CLKI2) mittels eines Verzögerungselementes aus dem ersten internen Takt erzeugt.
5. Integrierter synchroner Speicher nach Anspruch 4,

- dessen Regelungseinheit (CTR) einen Eingang aufweist, der mit dem externen Takt (CLKE) verbunden ist, und einen Ausgang, mit dem der Eingang über eine einstellbare Verzögerungseinheit (DEL) verbunden ist und an dem sie den ersten internen Takt (CLKI1) erzeugt,
- und dessen Regelungseinheit (CTR) einen Phasenkomparator ( $\Phi$ ) aufweist, mit einem ersten Eingang, der mit dem Eingang der Regelungseinheit verbunden ist, mit einem zweiten Eingang, mit dem der Ausgang der Regelungseinheit über das Verzögerungselement des Taktgenerators (G) verbunden ist, und mit einem Ausgang, der mit einem Steuereingang der Verzögerungseinheit (DEL) verbunden ist.

---

Hierzu 3 Seite(n) Zeichnungen

---

- Leerseite -

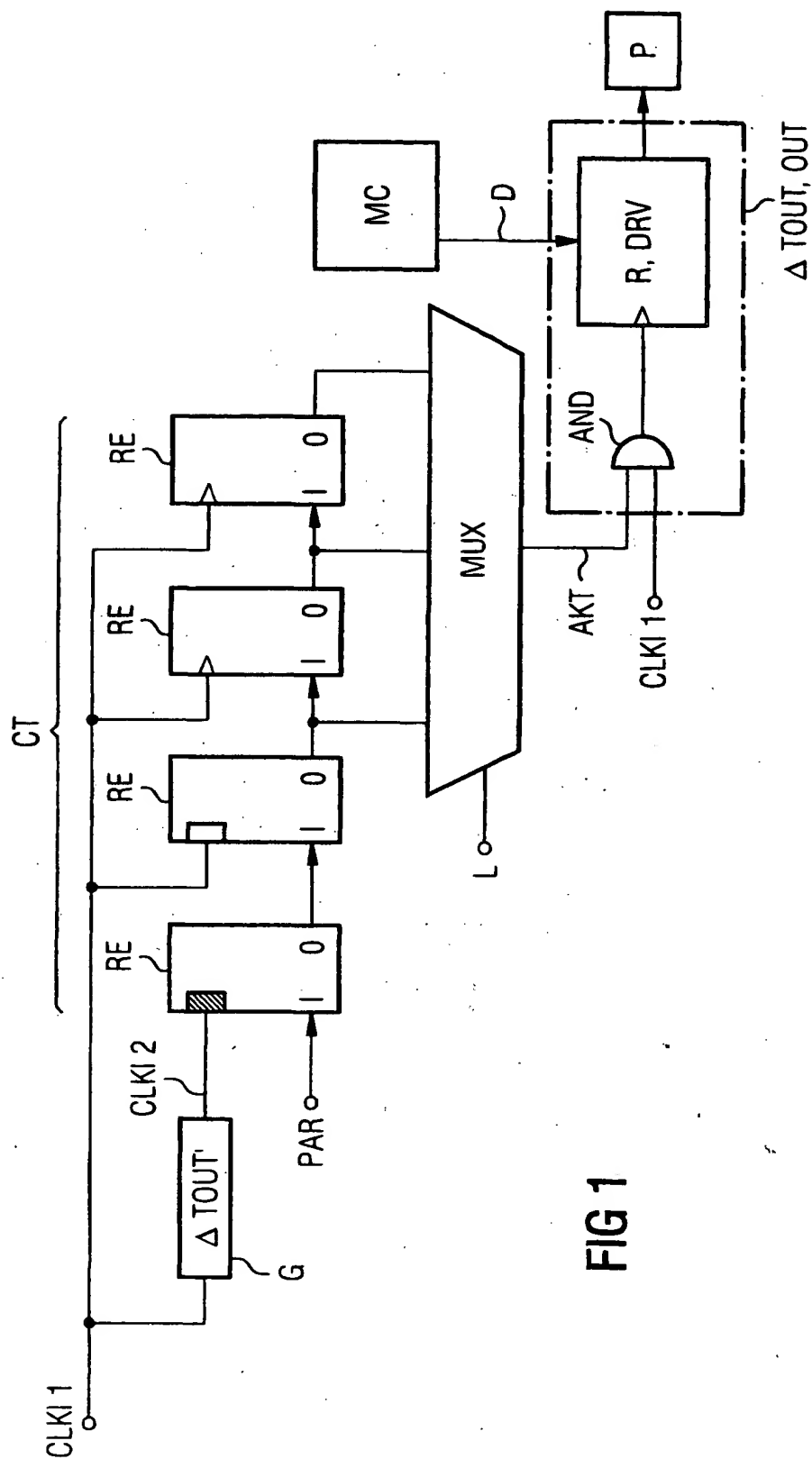


FIG 1

FIG 2

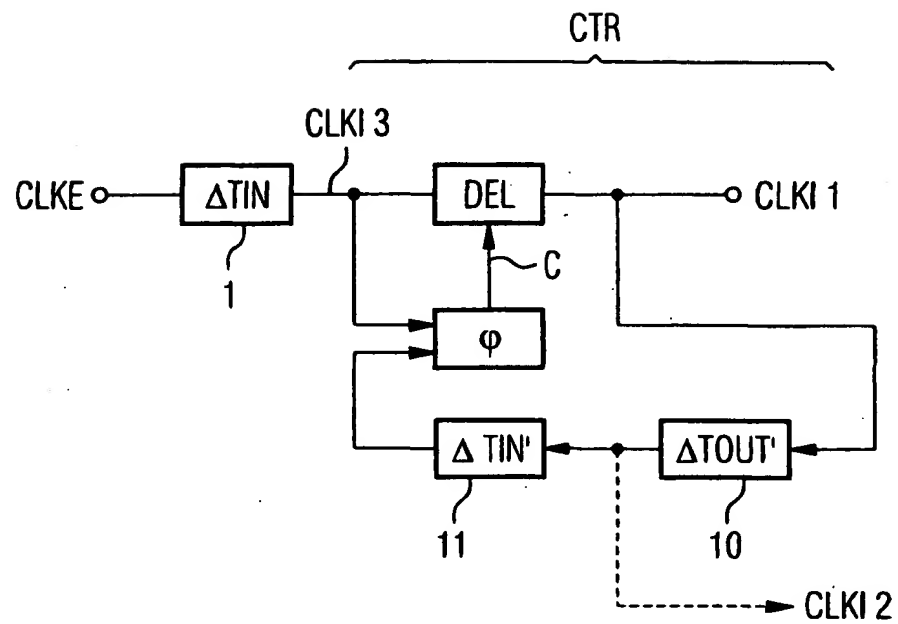
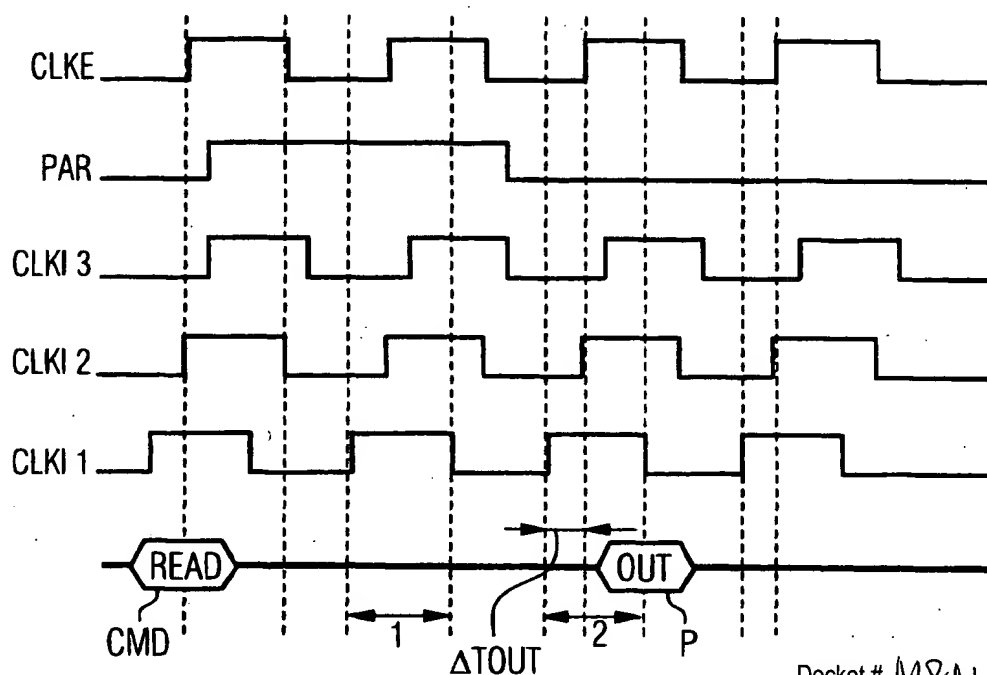


FIG 3

Docket # M&N-IT 255Applic. # 09/992,281Applicant: Schrödinger

Lerner and Greenberg, P.A.

Post Office Box 2480

Hollywood, FL 33022-2480

Tel: (954) 925-1100 Fax: (954) 925-1101

FIG 4

